

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Hyun-kyu YUN et al.

Application No.: To be assigned

Group Art Unit: Unassigned

Filed: March 25, 2004

Examiner: Unassigned

For: DSP (DIGITAL SIGNAL PROCESSING) ARCHITECTURE WITH A WIDE MEMORY
BANDWIDTH AND A MEMORY MAPPING METHOD THEREOF

SUBMISSION OF CERTIFICATED COPY OF PRIOR FOREIGN APPLICATION
IN ACCORDANCE WITH
THE REQUIREMENTS OF 37 C.F. R. § 1.55

Assistant Commissioner for Patents
Alexandria, VA 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith
a certified copy of the following foreign application:

Korean Patent Application Nos.: 2003-58781

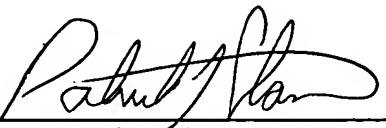
Filed: August 25, 2003

It is respectively requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. §119.

Respectfully submitted,

STANZIONE & KIM, LLP

Dated: March 25, 2004
1740 N Street, N.W., First Floor
Washington, D.C. 20036
Telephone: (202) 775-1900
Facsimile: (202) 775-1901

By: 
Patrick J. Stanzone
Registration No. 40,434



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0058781
Application Number

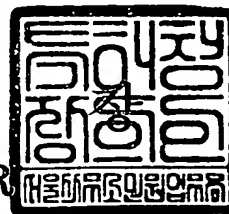
출원년월일 : 2003년 08월 25일
Date of Application AUG 25, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 01 월 27 일

특 허 청
COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.08.25
【국제특허분류】	G06F
【발명의 명칭】	넓은 메모리 밴드width를 갖는 디지털 신호 처리 장치 및 그 메모리 맵핑 방법
【발명의 영문명칭】	DSP having wide memory bandwidth and DSP memory mapping method
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	윤현규
【성명의 영문표기】	YUN, Hyun Kyu
【주민등록번호】	720706-1024620
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동(한솔마을) 동아아파트 207동 1201호
【국적】	KR
【발명자】	
【성명의 국문표기】	곽한탁
【성명의 영문표기】	KWAK, Han Tak
【주민등록번호】	611017-1042526



1020030058781

출력 일자: 2004/1/29

【우편번호】	442-706
【주소】	경기도 수원시 팔달구 망포동 동수원엘지빌리지 102동 1902호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	8 면 8,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	402,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

넓은 메모리 밴드width를 갖는 DSP 아키텍처 및 그 메모리 맵핑 방법이 개시된다. 본 발명의 DSP 아키텍처는 제1 통신 포트와 연결되고 DSP 아키텍처의 제1 로우 방향으로 배열되는 제1, 제2 및 제3 메모리 소자들과, DSP 아키텍처의 제1 로우 방향 아래로 제2 로우 방향으로 배열되는 제4 메모리 소자, 연산 소자 및 제5 메모리 소자들과, 그리고 제1 통신 포트와 연결되고 DSP 아키텍처의 제3 로우 방향으로 배열되는 제6, 제7 및 제8 메모리 소자들을 포함한다. 연산 소자는 상기 제1 내지 제8 메모리 소자와 상호 연결된다. DSP 아키텍처는 연산 소자를 중앙에 배치하고 연산 소자와 연결되는 제1 내지 제8 메모리 소자들이 하나의 배열 단위 소자를 구성하여, 배열 단위 소자가 DSP 아키텍처의 로우 방향들과 칼럼 방향으로 배열된다. 따라서, 본 발명에 의하면, DSP의 연산 소자와 메모리 소자들 사이에 넓은 데이터 밴드width를 갖기 때문에, 데이터 처리시 메모리 액세스 횟수를 줄일 수 있어서 고해상도의 동영상과 같은 높은 데이터 레이트(data rate)를 갖는 데이터 처리에 적합하다.

【대표도】

도 3

【색인어】

DSP 아키텍처, 데이터 밴드width, 메모리 액세스 횟수, 연산 소자, 메모리 소자



【명세서】

【발명의 명칭】

넓은 메모리 밴드width를 갖는 디지털 신호 처리 장치 및 그 메모리 맵핑 방법{DSP having wide memory bandwidth and DSP memory mapping method}

【도면의 간단한 설명】

도 1은 동영상 처리하는 DSP의 동작을 설명하는 도면이다.

도 2는 하바드 아키텍처를 갖는 영상 처리 DSP의 블록 다이어그램을 보여준다.

도 3은 본 발명의 제1 실시예에 따른 병렬 구조의 DSP 아키텍처를 설명하는 도면이다.

도 4은 도 3의 DSP 아키텍처에서 하나의 배열 단위를 설명하는 도면이다.

도 5은 도 3에서 하나의 통신 포트와 연결되는 메모리 소자들을 설명하는 도면이다.

도 6은 도 3의 DSP 아키텍처로 수행되는 1 차원 세그먼테이션 동작을 설명하는 도면이다.

도 7 및 도 8은 도 3의 DSP 아키텍처로 수행되는 2 차원 세그먼테이션 동작을 설명하는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 디지털 신호 처리 장치(DSP)에 관한 것으로, 특히 영상 처리 알고리즘 수행에 따라 넓은 메모리 밴드width를 제공하는 디지털 신호 처리 장치 및 그 메모리 맵핑 방법에 관한 것이다.



- <9> 디지털 프로세서에 의해 수행되는 기본 기능들 중의 하나가 데이터 독출 및 기입을 위하여 메모리를 액세스하는 것이다. 메모리는 프로세서로부터 제공되는 어드레스에 의해 일반적으로 액세스된다. 디지털 프로세서의 메모리 액세스 동작은 메모리의 입출력 구조에 상당히 영향을 많이 받는 데, 특히 한번에 입출력되는 데이터 수를 의미하는 메모리 밴드위스와 밀접한 관계가 있다.
- <10> 영상 신호 처리를 위한 디지털 신호 처리 장치(이하 "DSP"라고 칭한다)는 이미지 증진(Image Enhancement), 압축(Compression) 및 압축 해제(Decompression) 등의 영상 처리를 수행한다. 특히, 동영상 처리하는 DSP에서는 도 1과 같이, 예컨대, 3개의 프레임을 액세스하여 새로운 프레임을 생성하는 알고리즘을 수행하는 데 있어서, 3개의 소스 모션 비디오 영상 프레임들(101, 102, 103)이 DSP(110)를 통해 메모리(120)에 저장된 후, 메모리(120)에 저장된 3개의 프레임 데이터들이 독출(readout)되어 DSP(110)의 연산 소자에 의해 연산 처리되는 일련의 과정을 통해 하나의 프레임(130)이 생성된다.
- <11> DSP(110)가 처리하는 영상이 60Hz 주기로 1920×1080 픽셀들의 해상도를 갖는 동영상이라고 가정하면, 1초에 처리해야하는 픽셀들의 수는 $1920 \times 1080 \times 60 \approx 124\text{M}$ 개가 된다. 여기에, R, G, B 색 성분을 고려하면 1초에 처리해야하는 픽셀들의 수는 $124\text{M} \times 3 = 373\text{M}$ 개가 된다. 373M 픽셀들을 메모리(120)에 저장하기 위하여 DSP(110)와 메모리(120) 사이의 액세스 동작 즉, 기입 및 독출 동작이 수차례 반복되어야 한다.
- <12> 한편, DSP(110)의 고속 동작을 구현하기 위하여, DSP 아키텍처(Architecture)는 데이터 경로(data path)와 인스트럭션 경로(instruction path)가 따로 있는 하바드 아키텍처(Harvard Architecture)가 많이 사용된다. 도 2 내지 도 4는 하바드 아키텍처를 사용하는 DSP들을 예시적으로 보여준다.

- <13> 도 2는 기존에 널리 이용되는 하바드 아키텍처의 예시이며, 영상 데이터들은 데이터 버스에 실린 뒤, SDRAM 컨트롤러를 통해 외부의 SDRAM에 저장된 후 독출된다(굵은 선 표시)
- <14> 그런데, 도 2의 DSP(200)에서 처리된 영상 데이터들이 메모리 장치들과 연결되는 구조를 살펴보면, 메모리 장치의 데이터 밴드 위스에 의존적인 것을 볼 수 있다. 예컨대, 3 차원 디-인터레이스(De-interlace) 방식에서 3개의 프레임을 액세스하여 새로운 프레임을 생성하는 알고리즘을 수행하게 되면, 1개의 모션 체크당 8개 픽셀들의 메모리 액세스 동작이 필요한 데, 이를 3차원 상에 8번 수행하게 되면 64개 픽셀의 메모리 액세스가 필요하다. 이러한 메모리 액세스 동작에는 메모리 셀을 어드레싱하기 위한 동작과 셀 데이터 독출 동작에 소요되는 일정한 사이클 시간을 필요로 한다. 특히, 1920×1080 픽셀들의 해상도를 갖는 경우, 124M 픽셀들을 처리하기 위하여 3.0GHz 동작의 DSP를 사용한다고 가정하면 24 개의 메모리 액세스 사이클을 필요로 한다. 이는 DSP에서 메모리로의 물리적인 액세스 사이클들의 존재로 인해 고해상도 영상 처리에 부적당한 결과를 초래한다.
- <15> 그러므로, 고해상도의 영상 처리를 위해서는 넓은 메모리 밴드width를 갖는 새로운 DSP 아키텍처가 절실히 요구된다.
- 【발명이 이루고자 하는 기술적 과제】**
- <16> 본 발명의 목적은 넓은 메모리 밴드width를 갖는 DSP 아키텍처를 제공하는 데 있다.
- <17> 본 발명의 다른 목적은 상기 DSP 아키텍처의 영상 처리 메모리 맵핑 방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

- <18> 상기 목적을 달성하기 위하여, 본 발명의 DSP 아키텍처는 제1 통신 포트; 제1 통신 포트와 연결되고, DSP 아키텍처의 제1 로우 방향으로 배열되는 제1, 제2 및 제3 메모리 소자들; DSP 아키텍처의 제1 로우 방향 아래, 제2 로우 방향으로 배열되는 제4 메모리 소자, 연산 소자 및 제5 메모리 소자들; 및 제1 통신 포트와 연결되고, DSP 아키텍처의 제3 로우 방향으로 배열되는 제6, 제7 및 제8 메모리 소자들을 구비하고, 연산 소자는 상기 제1 내지 제8 메모리 소자와 상호 연결된다.
- <19> 바람직하기로, DSP 아키텍처는 DSP 아키텍처의 제1 칼럼 방향으로 배열되는 제1, 제4 및 제6 메모리 소자들과 DSP 아키텍처의 제3 칼럼 방향으로 배열되는 제3, 제5 및 제8 메모리 소자들과 연결되는 제2 통신 포트를 더 구비한다.
- <20> 더욱 바람직하기로, DSP 아키텍처는 연산 소자를 중앙에 배치하고 연산 소자와 연결되는 제1 내지 제8 메모리 소자들이 하나의 배열 단위 소자를 구성하여, 배열 단위 소자가 DSP 아키텍처의 로우 방향들과 칼럼 방향으로 배열된다.
- <21> 상기 다른 목적을 달성하기 위하여, 본 발명의 제1 실시예에 따른 DSP 영상 처리 메모리 맵핑 방법은 제1 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제1 로우 방향으로 배열되는 제1 및 제2 메모리 소자들에 저장하는 단계; 제1 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제2 로우 방향으로 배열되는 제3 메모리 소자에 저장하되, 제1 및 제2 메모리 소자들과 연결되고 제2 로우 방향으로 제3 메모리 소자에 이웃하여 배열되는 제1 연산 소자를 통하여 저장하는 단계; 및 제1 내지 제3 메모리 소자들에 저장된 데이터들을 제1 연산 소자에 의해 연산하는 단계를 포함한다.

- <22> 제1 실시예의 바람직한 DSP 영상 처리 메모리 맵핑 방법은 제1 연산 소자에 의해 연산된 데이터가 DSP 아키텍처의 제1 로우 방향으로 제2 메모리 소자에 이웃하여 배열되는 제4 메모리 소자와 DSP 아키텍처의 제2 로우 방향으로 제1 연산 소자에 이웃하여 배열되는 제5 메모리 소자에 저장하는 단계; 및 DSP 아키텍처의 제2 로우 방향으로 제5 메모리 소자에 이웃하여 배열되는 제2 연산 소자에 의해 제4 및 제5 메모리 소자들에 저장된 데이터들을 연산하는 단계를 포함한다.
- <23> 상기 목적을 달성하기 위하여, 본 발명의 제2 실시예에 따른 DSP 영상 처리 메모리 맵핑 방법은 제1 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제1 로우 방향으로 배열되는 제1 및 제2 메모리 소자들에 저장하는 단계; 제1 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제3 로우 방향으로 배열되는 제4 및 제5 메모리 소자들에 저장하는 단계; 제1 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제2 로우 방향으로 배열되는 제3 메모리 소자에 저장하되, 제1 및 제2 메모리 소자들과 연결되고 제2 로우 방향으로 제3 메모리 소자에 이웃하여 배열되는 제1 연산 소자를 통하여 저장하는 단계; 제1 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제4 로우 방향으로 배열되는 제6 메모리 소자에 저장하되, 제4 및 제5 메모리 소자들과 연결되고 제4 로우 방향으로 상기 제6 메모리 소자에 이웃하여 배열되는 제2 연산 소자를 통하여 저장하는 단계; 제1 내지 제3 메모리 소자들에 저장된 데이터들을 제1 연산 소자에 의해 연산하는 단계; 및 제4 내지 제6 메모리 소자들에 저장된 데이터들을 제2 연산 소자에 의해 연산하는 단계를 포함한다.
- <24> 제2 실시예의 바람직한 DSP 영상 처리 메모리 맵핑 방법은 제1 연산 소자에 의해 연산된 데이터가 DSP 아키텍처의 제1 로우 방향으로 제2 메모리 소자에 이웃하여 배열되는 제7 메모리 소자와 DSP 아키텍처의 제2 로우 방향으로 제1 연산 소자에 이웃하여 배열되는 제8 메모리

소자에 저장하는 단계; DSP 아키텍처의 제2 로우 방향으로 제8 메모리 소자에 이웃하여 배열되는 제3 연산 소자에 의해 제7 및 제8 메모리 소자들에 저장된 데이터들을 연산하는 단계; 제2 연산 소자에 의해 연산된 데이터가 DSP 아키텍처의 제3 로우 방향으로 제5 메모리 소자에 이웃하여 배열되는 제9 메모리 소자와 DSP 아키텍처의 제4 로우 방향으로 제2 연산 소자에 이웃하여 배열되는 제10 메모리 소자에 저장하는 단계; 및 DSP 아키텍처의 제4 로우 방향으로 제10 메모리 소자에 이웃하여 배열되는 제4 연산 소자에 의해 제9 및 제10 메모리 소자들에 저장된 데이터들을 연산하는 단계를 포함한다.

<25> 상기 다른 목적을 달성하기 위하여, 본 발명의 제3 실시예에 따른 DSP 영상 처리 메모리 맵핑 방법은 제1 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제1 로우 방향으로 배열되는 제1, 제2 및 제3 메모리 소자들이나 DSP 아키텍처의 제3 로우 방향으로 배열되는 제6, 제7 및 제8 메모리 소자들에 저장하는 단계; 제2 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제1 칼럼 방향으로 배열되는 제1, 제4, 및 상기 제6 메모리 소자들이나 DSP 아키텍처의 제3 칼럼 방향으로 배열되는 제3, 제5 및 상기 제8 메모리 소자들에 저장하는 단계; 및 DSP 아키텍처의 제2 로우 방향으로 배열되는 제4 및 제5 메모리 소자들 사이에, 그리고 DSP 아키텍처의 제2 칼럼 방향으로 배열되는 제2 및 제7 메모리 소자들 사이에 배치되는 연산 소자에 의해 제1 내지 제8 메모리 소자들에 저장된 데이터들을 연산 처리하는 단계를 포함한다.

<26> 따라서, 본 발명에 의하면, DSP의 연산 소자와 메모리 소자 사이에 넓은 메모리 밴드width를 갖기 때문에, 데이터 처리시 메모리 액세스 횟수를 줄일 수 있어서 고해상도의 동영상과 같은 높은 데이터 레이트(data rate)를 갖는 데이터 처리에 적합하다.



- <27> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <28> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <29> 도 3는 본 발명의 일실시예에 따른 DSP의 아키텍처를 설명하는 도면이다. 이를 참조하면, DSP(500)는 열 방향으로 제1 및 제3 통신 포트들(CP, 501, 503)이 배열되어 있고, 행 방향으로 제2 및 제4 통신 포트들(CP, 502, 504)이 배열되고 있다. 제1 내지 제4 통신 포트들(501, 502, 503, 504)은 DSP(500)로부터/로 송수신되는 데이터들의 입출력 포트들이다. 제1 및 제2 통신 포트들(501, 502)과 제3 및 제4 통신 포트들(503, 504)은 연산 소자(CE)와 연결되는 매트릭스 구조로 배열되는 다수개의 메모리들(Ms)과 연결된다.
- <30> 제1 통신 포트(501)는 제1 행의 메모리들(Ms) 및 제3 행의 메모리들(Ms)과 연결되고, 제3 통신 포트(503)는 제5 행의 메모리들(Ms) 및 제7 행의 메모리들(Ms)과 연결된다. 제2 통신 포트(502)는 제1 열의 메모리들(Ms) 및 제3 열의 메모리들(Ms)과 연결되고, 제4 통신 포트(504)는 제5 열의 메모리들(Ms) 및 제7 열의 메모리들(Ms)과 연결된다. 연산 소자들(CEs)은 8개의 인접한 메모리들(Ms)과 연결된다. 하나의 연산 소자(CE)와 연결되는 8개의 메모리들(Ms)이 하나의 배열 단위 소자(600)를 구성하고, 구체적으로 도 4에 도시되어 있다.
- <31> 도 4을 참조하면, 제1 통신 포트(501)와 연결되는 제1 행의 메모리들(601, 602, 603)과 제3 행의 메모리들(621, 622, 623)과 제2 통신 포트(502)와 연결되는 제1 열의 메모리들(601, 611, 621)과 제3 열의 메모리들(603, 613, 623)이 연산 소자(CE, 612)와 연결된다. 배열 단위 소자(600)에서는 제1 통신 포트(501)로 입력되는 데이터들이 제1 행 또는 제3 행의 메모리들



(601, 602, 603, 621, 622, 623)에 저장되고, 제2 통신 포트(502)로 입력되는 데이터들이 제1 열 또는 제3 열의 메모리들(601, 611, 621, 603, 613, 623)에 저장된 후, 연산 소자(612)로 독출되어 연산 처리된다.

<32> 도 3에서, 통신 포트들 중 대표적으로 제1 통신 포트(501)를 예를 들면, 제1 통신 포트(501)의 일부는 도 5과 같이, 제1 행의 메모리들(601, 602, 603, 604, 605, 606, 607, 608)과 연결되고, 제1 통신 포트(501)의 나머지 일부는 제3 행의 메모리들(621, 622, 623, ...)과 연결된다.

<33> 도 3의 DSP 아키텍처(500)는 동영상 이미지 처리를 위한 1 차원(1-D) 세그멘테이션 또는 2 차원(2-D) 세그멘테이션 동작을 수행하는데, 도 6은 1 차원 세그멘테이션 동작을 설명하고 도 7 및 도 8은 2 차원 세그멘테이션 동작을 설명한다.

<34> 1 차원 세그멘테이션 동작은 임의의 영상 화면을 처리하는 데 있어서, 소정의 크기로 분할된 영상을 하나의 방향, 예컨대 행 또는 열 방향을 따라 처리하는 기법을 의미한다. 2 차원 세그멘테이션 동작은 소정의 크기로 분할된 영상을 2개의 행들 또는 열들을 따라 처리하는 기법을 의미한다. 본 발명과 연계하여, 1 차원 세그멘테이션 동작은 1개의 통신 포트를 통해 영상 데이터들이 입력되고, 2 차원 세그멘테이션 동작은 1개의 통신 포트 또는 2개의 통신 포트들을 통해 영상 데이터들이 입력된다.

<35> 도 6의 1 차원 세그멘테이션 동작을 설명하면, 3개의 프레임을 액세스하여 새로운 프레임을 생성하는 영상 처리 알고리즘 수행시, 3개의 (n-1) 프레임, (n-2) 프레임, (n-3) 프레임 데이터들이 메모리들(611, 601, 602)에 각각 저장된다. (n-1), (n-2), (n-3) 프레임 데이터들은 예컨대, 제1 통신 포트(501)를 통해 입력

된다. 601 메모리와 602 메모리는 제1 통신 포트(501)와 직접 연결되기 때문에, (n-2) 프레임과 (n-3) 프레임 데이터는 제1 통신 포트(501)로부터 601 메모리와 602 메모리로 바로 저장된다. (n-1) 프레임 데이터는 제1 통신 포트(501)와 601 메모리 또는 602 메모리를 통해 연산 소자(612)로 전달된 후, 연산 소자(612)에 의해 611 메모리에 저장된다. 601, 602, 611 메모리들과 연산 소자(612)는 1 차원 세그멘테이션 동작을 위한 하나의 단위가 된다.

<36> 한편, 제2 통신 포트(502)를 통해 (n-1), (n-2), (n-3) 프레임 데이터들이 입력되면, (n-1) 프레임과 (n-2) 프레임 데이터는 제2 통신 포트(502)로부터 601 메모리와 611 메모리에 바로 저장된다. 602 메모리는 제2 통신 포트(502)와 직접 연결되어 있지 않기 때문에, (n-3) 프레임은 제2 통신 포트(502)와 601 메모리 또는 611 메모리를 통해 연산 소자(612)로 전달된 후, 연산 소자(612)에 의해 602 메모리에 저장된다.

<37> 601, 602, 611 메모리에 저장된 프레임 데이터들은 연산 소자(612)에 의해 연산 처리되어, 이웃한 제2 세그멘테이션 단위(802)로 전달된다. 제1 세그멘테이션 단위(801)의 연산 소자(612)에서 처리된 데이터는 제2 세그멘테이션 단위(802)의 603 또는 613 메모리로 전달되어 저장된다. 603 또는 613 메모리에 저장된 데이터들은 연산 소자(614)에 의해 연산 처리된 후, 제3 세그멘테이션 단위(803)의 605 또는 615 메모리로 전달되어 저장된다.

<38> 본 실시예에서는 제1 통신 포트(501)와 연결되는 601, 602 메모리가 포함하는 제1 세그멘테이션 단위(801), 제2 세그멘테이션 단위(802), 제3 세그멘테이션 단위(803), 그리고 제4 세그멘테이션 단위(804)로 구성되는 하나의 라인 상으로 파이프라인 동작되어 1 차원 세그멘테이션 동작이 이루어지는 예에 대하여 기술하고 있다. 이로부터, 1 차원 세그멘테이션 동작은 제1 통신 포트(501)와 연결되는 제4 세그멘테이션 단위(811), 제5 세그멘테이션 단위(812), 제

6 세그먼테이션 단위(813) 그리고 제7 세그먼테이션 단위(814)로 구성되는 라인 상으로 파이프 라인 동작되어 1 차원 세그먼테이션 동작이 이루어질 수도 있다.

<39> 또한, 1 차원 세그먼테이션 동작을 위한 바람직한 다른 예로, 제2 통신 포트(502)로 입력되는 데이터를 제1 세그먼테이션 단위(801), 제4 세그먼테이션 단위(811), 그리고 제8 세그먼테이션 단위(821)로 구성되는 라인상으로, 또는 제2 세그먼테이션 단위(802), 제6 세그먼테이션 단위(812), 그리고 제10 세그먼테이션 단위(822)로 구성되는 라인상으로 파이프라인 동작되어 1 차원 세그먼테이션 동작이 이루어질 수 있음은 물론이다.

<40> 여기에서, 하나의 세그먼테이션 단위(801) 내 연산 소자(612) 입장에서 보면, 연산 소자(612)는 3개의 메모리들(601, 602, 611)과 독립된 경로를 확보한다. 그리하여 연산 소자(612)가 액세스 가능한 메모리 밴드위스가 넓어지는 효과를 얻게 되어, 동영상 처리시 메모리 액세스 횟수를 줄일 수 있다.

<41> 도 7 및 도 8은 2 차원 세그먼테이션 동작을 설명하는 도면이다. 도 7은 2 라인 파이프 라인 동작으로 처리되는 예를 설명하고, 도 8은 1 라인 파이프라인 동작으로 처리되는 예를 설명한다.

<42> 도 7를 참조하면, 예컨대 제3 통신 포트(503)를 통해 입력되는 프레임 데이터들이 제1 세그먼테이션 단위(801), 제2 세그먼테이션 단위(802), 제3 세그먼테이션 단위(803), 그리고 제4 세그먼테이션 단위(804)로 파이프라인 구성되는 첫번째 라인(901)과 제5 세그먼테이션 단위(811), 제6 세그먼테이션 단위(812), 제7 세그먼테이션 단위(813), 그리고 제8 세그먼테이션 단위(814)로 파이프라인 구성되는 두번째 라인(902)을 통해 연산 처리되어, 2차원 세그먼테이션 동작이 수행된다.



- <43> 예컨대, 제1 통신 포트(501)를 통해 입력되는 프레임 데이터들이 제1 세그먼테이션 단위(801), 제5 세그먼테이션 단위(811), 그리고 제9 세그먼테이션 단위(821)로 파이프라인 구성되는 첫번째 라인(903)과 제2 세그먼테이션 단위(802), 제6 세그먼테이션 단위(812), 그리고 제10 세그먼테이션 단위(822)로 파이프라인 구성되는 두번째 라인(904)을 통해 연산 처리되어, 2차원 세그먼테이션 동작이 수행된다.
- <44> 도 8은 2차원 세그먼테이션 동작을 위하여, 통신 포트들(501, 502, 503, 504)을 통해 입력되는 프레임 데이터들이 세그먼테이션 단위들(1001, 1002, 1003, 1011, 1012, 1013)로 메모리 맵핑된다.
- <45> 대표적으로, 제1 세그먼테이션 단위(1001)에서는 제1 통신 포트(501)의 일부 포트를 통해 입력되는 데이터들이 601, 602, 603 메모리들에 저장되고 제1 통신 포트(501)의 나머지 포트를 통해 입력되는 데이터들이 621, 622, 623 메모리들에 저장된다. 그리고 제1 통신 포트(501)로 입력되는 데이터들은 601, 602, 603, 621, 622, 623 메모리들과 연결되는 연산 소자(612)를 통해 611, 613 메모리들에도 저장된다. 이 후, 601, 602, 603, 611, 613, 621, 622, 623 메모리들에 저장된 데이터들은 연산 소자(612)에 의해 연산 처리되어 2차원 세그먼테이션 동작이 이루어진다.
- <46> 2차원 세그먼테이션 동작을 위한 다른 메모리 맵핑 방법은 제1 세그먼테이션 단위(1001)에서 제2 통신 포트(502)의 일부 포트를 통해 입력되는 데이터들이 601, 611, 621 메모리들에 저장되고 제2 통신 포트(502)의 나머지 포트들을 통해 입력되는 데이터들이 603, 613, 623 메모리들에 저장된다. 그리고 제2 통신 포트(502)로 입력되는 데이터들은 601, 611, 621, 603, 613, 623 메모리들과 연결되는 연산 소자(612)를 통해 602, 622 메모리들에도 저장된다. 이



후, 601, 602, 603, 611, 613, 621, 622, 623 메모리들에 저장된 데이터들은 연산 소자(612)에 의해 연산 처리되어 2차원 세그먼테이션 동작이 이루어진다.

<47> 2차원 세그먼테이션 동작을 위한 또다른 메모리 맵핑 방법은 제1 세그먼테이션 단위 (1001)에서 제1 통신 포트(501)를 통해 입력되는 데이터들이 601, 602, 603 메모리들 또는 621, 622, 623 메모리들에 저장되고, 제2 통신 포트(502)를 통해 입력되는 데이터들이 601, 611, 621 메모리들 또는 603, 613, 623 메모리들에 저장된다. 601, 603, 621, 623 메모리들은 데이터 충돌을 막기 위하여 선택적으로 하나의 통신 포트, 제1 통신 포트(501) 또는 제2 통신 포트(502)를 통해 들어오는 데이터들이 저장된다. 이 후, 601, 602, 603, 611, 613, 621, 622, 623 메모리들에 저장된 데이터들은 연산 소자(612)에 의해 연산 처리되어 2차원 세그먼테이션 동작이 이루어진다.

<48> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<49> 상술한 본 발명의 DSP에 의하면, 연산 소자와 메모리 소자 사이에 넓은 데이터 밴드width를 갖기 때문에, 데이터 처리시 메모리 액세스 횟수를 줄일 수 있어서 고해상도의 동영상과 같은 높은 데이터 레이트(data rate)를 갖는 데이터 처리에 적합하다.



【특허청구범위】

【청구항 1】

넓은 메모리 밴드width를 갖는 DSP의 아키텍처에 있어서,

제 1 통신 포트;

상기 제1 통신 포트와 연결되고, 상기 DSP 아키텍처의 제1 로우 방향으로 배열되는 제1, 제2 및 제3 메모리 소자들;

상기 DSP 아키텍처의 제1 로우 방향 아래, 제2 로우 방향으로 배열되는 제4 메모리 소자, 연산 소자 및 제5 메모리 소자들; 및

상기 제1 통신 포트와 연결되고, 상기 DSP 아키텍처의 제3 로우 방향으로 배열되는 제6, 제7 및 제8 메모리 소자들을 구비하고,

상기 연산 소자는 상기 제1 내지 제8 메모리 소자와 상호 연결되는 것을 특징으로 하는 DSP 아키텍처.

【청구항 2】

제1항에 있어서, 상기 DSP 아키텍처는

상기 DSP 아키텍처의 제1 칼럼 방향으로 배열되는 상기 제1, 제4 및 제6 메모리 소들과 상기 DSP 아키텍처의 제3 칼럼 방향으로 배열되는 상기 제3, 제5 및 제8 메모리 소들과 연결되는 제2 통신 포트를 더 구비하는 것을 특징으로 하는 DSP 아키텍처.

【청구항 3】

제1항에 있어서, 상기 DSP 아키텍처는

상기 연산 소자를 중앙에 배치하고 상기 연산 소자와 연결되는 제1 내지 제8 메모리 소자들이 하나의 배열 단위 소자를 구성하여, 상기 배열 단위 소자가 DSP 아키텍처의 로우 방향들과 칼럼 방향으로 배열되는 것을 특징으로 하는 DSP 아키텍처.

【청구항 4】

DSP의 영상 처리 메모리 맵핑 방법에 있어서,

제 1 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제1 로우 방향으로 배열되는 제1 및 제2 메모리 소자들에 저장하는 단계;

상기 제1 통신 포트를 통해 입력되는 데이터를 상기 DSP 아키텍처의 제2 로우 방향으로 배열되는 제3 메모리 소자에 저장하되, 상기 제1 및 제2 메모리 소자들과 연결되고 상기 제2 로우 방향으로 상기 제3 메모리 소자에 이웃하여 배열되는 제1 연산 소자를 통하여 저장하는 단계; 및

상기 제1 내지 제3 메모리 소자들에 저장된 데이터들을 상기 제1 연산 소자에 의해 연산하는 단계를 구비하는 것을 특징으로 하는 DSP 영상 처리 메모리 맵핑 방법.

【청구항 5】

제4항에 있어서, 상기 DSP 영상 처리 메모리 맵핑 방법은

상기 제1 연산 소자에 의해 연산된 데이터가 상기 DSP 아키텍처의 제1 로우 방향으로 상기 제2 메모리 소자에 이웃하여 배열되는 제4 메모리 소자와 상기 DSP 아키텍처의 제2 로우 방향으로 상기 제1 연산 소자에 이웃하여 배열되는 제5 메모리 소자에 저장하는 단계; 및



상기 DSP 아키텍처의 제2 로우 방향으로 상기 제5 메모리 소자에 이웃하여 배열되는 제2 연산 소자에 의해 상기 제4 및 제5 메모리 소자들에 저장된 데이터들을 연산하는 단계를 구비하는 것을 특징으로 하는 DSP 영상 처리 메모리 맵핑 방법.

【청구항 6】

DSP의 영상 처리 메모리 맵핑 방법에 있어서,

제 1 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제1 로우 방향으로 배열되는 제1 및 제2 메모리 소자들에 저장하는 단계;

상기 제1 통신 포트를 통해 입력되는 데이터를 상기 DSP 아키텍처의 제3 로우 방향으로 배열되는 제4 및 제5 메모리 소자들에 저장하는 단계;

상기 제1 통신 포트를 통해 입력되는 데이터를 상기 DSP 아키텍처의 제2 로우 방향으로 배열되는 제3 메모리 소자에 저장하되, 상기 제1 및 제2 메모리 소자들과 연결되고 상기 제2 로우 방향으로 상기 제3 메모리 소자에 이웃하여 배열되는 제1 연산 소자를 통하여 저장하는 단계;

상기 제1 통신 포트를 통해 입력되는 데이터를 상기 DSP 아키텍처의 제4 로우 방향으로 배열되는 제6 메모리 소자에 저장하되, 상기 제4 및 제5 메모리 소자들과 연결되고 상기 제4 로우 방향으로 상기 제6 메모리 소자에 이웃하여 배열되는 제2 연산 소자를 통하여 저장하는 단계;

상기 제1 내지 제3 메모리 소자들에 저장된 데이터들을 상기 제1 연산 소자에 의해 연산하는 단계; 및



상기 제4 내지 제6 메모리 소자들에 저장된 데이터들을 상기 제2 연산 소자에 의해 연산하는 단계를 구비하는 것을 특징으로 하는 DSP 영상 처리 메모리 맵핑 방법.

【청구항 7】

제6항에 있어서, 상기 DSP 영상 처리 메모리 맵핑 방법은

상기 제1 연산 소자에 의해 연산된 데이터가 상기 DSP 아키텍처의 제1 로우 방향으로 상기 제2 메모리 소자에 이웃하여 배열되는 제7 메모리 소자와 상기 DSP 아키텍처의 제2 로우 방향으로 상기 제1 연산 소자에 이웃하여 배열되는 제8 메모리 소자에 저장하는 단계;

상기 DSP 아키텍처의 제2 로우 방향으로 상기 제8 메모리 소자에 이웃하여 배열되는 제3 연산 소자에 의해 상기 제7 및 제8 메모리 소자들에 저장된 데이터들을 연산하는 단계;

상기 제2 연산 소자에 의해 연산된 데이터가 상기 DSP 아키텍처의 제3 로우 방향으로 상기 제5 메모리 소자에 이웃하여 배열되는 제9 메모리 소자와 상기 DSP 아키텍처의 제4 로우 방향으로 상기 제2 연산 소자에 이웃하여 배열되는 제10 메모리 소자에 저장하는 단계; 및

상기 DSP 아키텍처의 제4 로우 방향으로 상기 제10 메모리 소자에 이웃하여 배열되는 제4 연산 소자에 의해 상기 제9 및 제10 메모리 소자들에 저장된 데이터들을 연산하는 단계를 구비하는 것을 특징으로 하는 DSP 영상 처리 메모리 맵핑 방법.

【청구항 8】

DSP의 영상 처리 메모리 맵핑 방법에 있어서,

제 1 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제1 로우 방향으로 배열되는 제1, 제2 및 제3 메모리 소자들이나 상기 DSP 아키텍처의 제3 로우 방향으로 배열되는 제6, 제7 및 제8 메모리 소자들에 저장하는 단계;

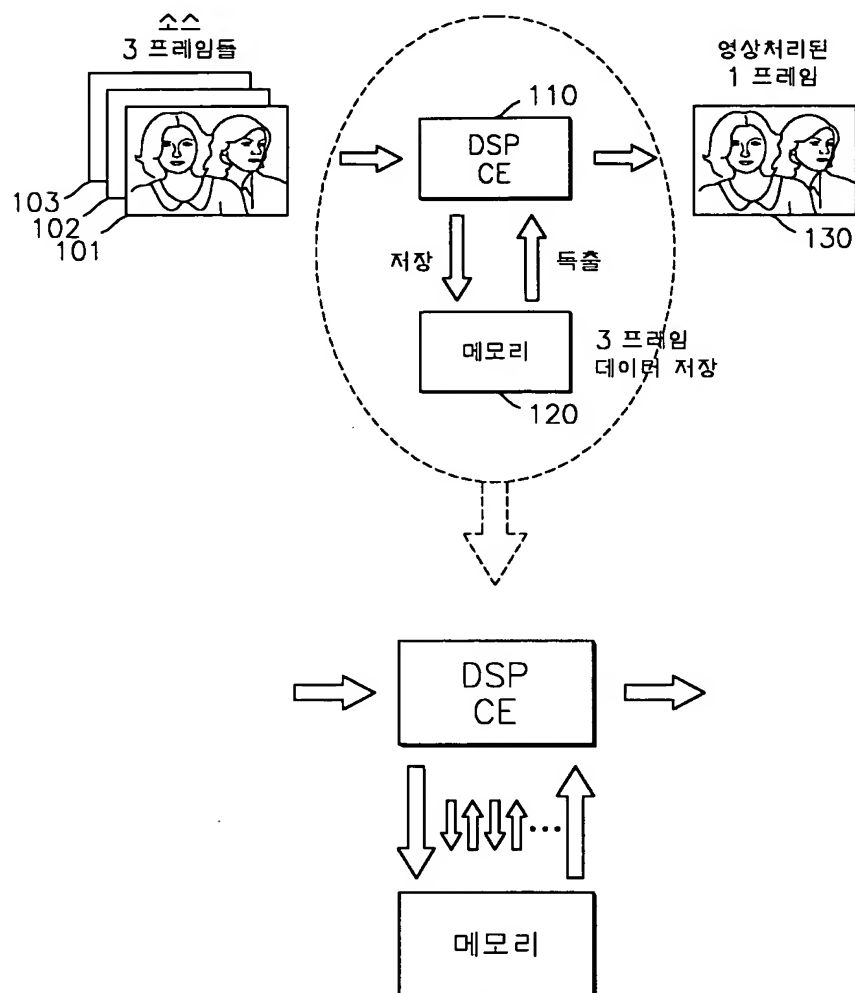


제2 통신 포트를 통해 입력되는 데이터를 DSP 아키텍처의 제1 칼럼 방향으로 배열되는 상기 제1, 제4, 및 상기 제6 메모리 소자들이나 상기 DSP 아키텍처의 제3 칼럼 방향으로 배열되는 상기 제3, 제5 및 상기 제8 메모리 소자들에 저장하는 단계; 및

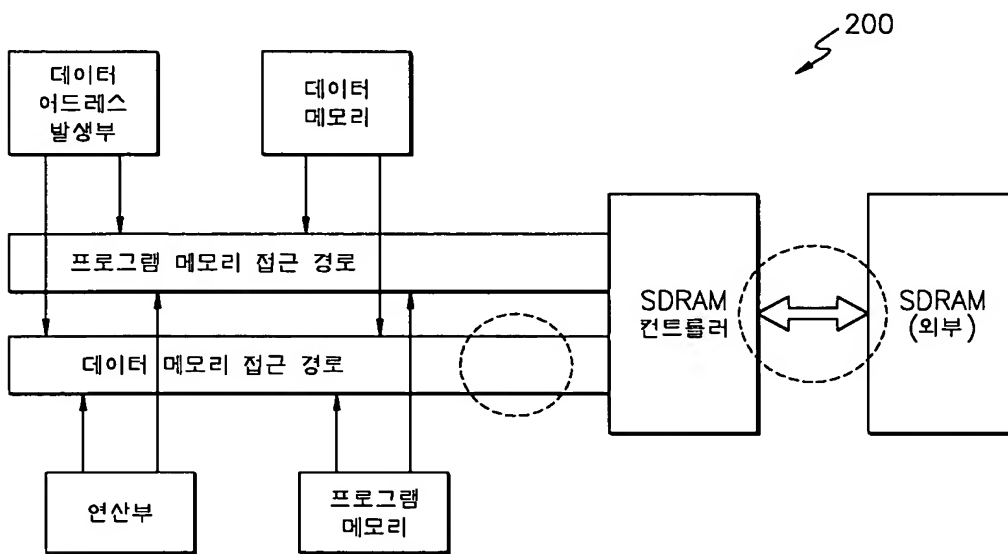
상기 DSP 아키텍처의 제2 로우 방향으로 배열되는 상기 제4 및 제5 메모리 소자들 사이에, 그리고 상기 DSP 아키텍처의 제2 칼럼 방향으로 배열되는 상기 제2 및 제7 메모리 소자들 사이에 배치되는 연산 소자에 의해 상기 제1 내지 제8 메모리 소자들에 저장된 데이터들을 연산 처리하는 단계를 구비하는 것을 특징으로 하는 DSP 영상 처리 메모리 맵핑 방법.

【도면】

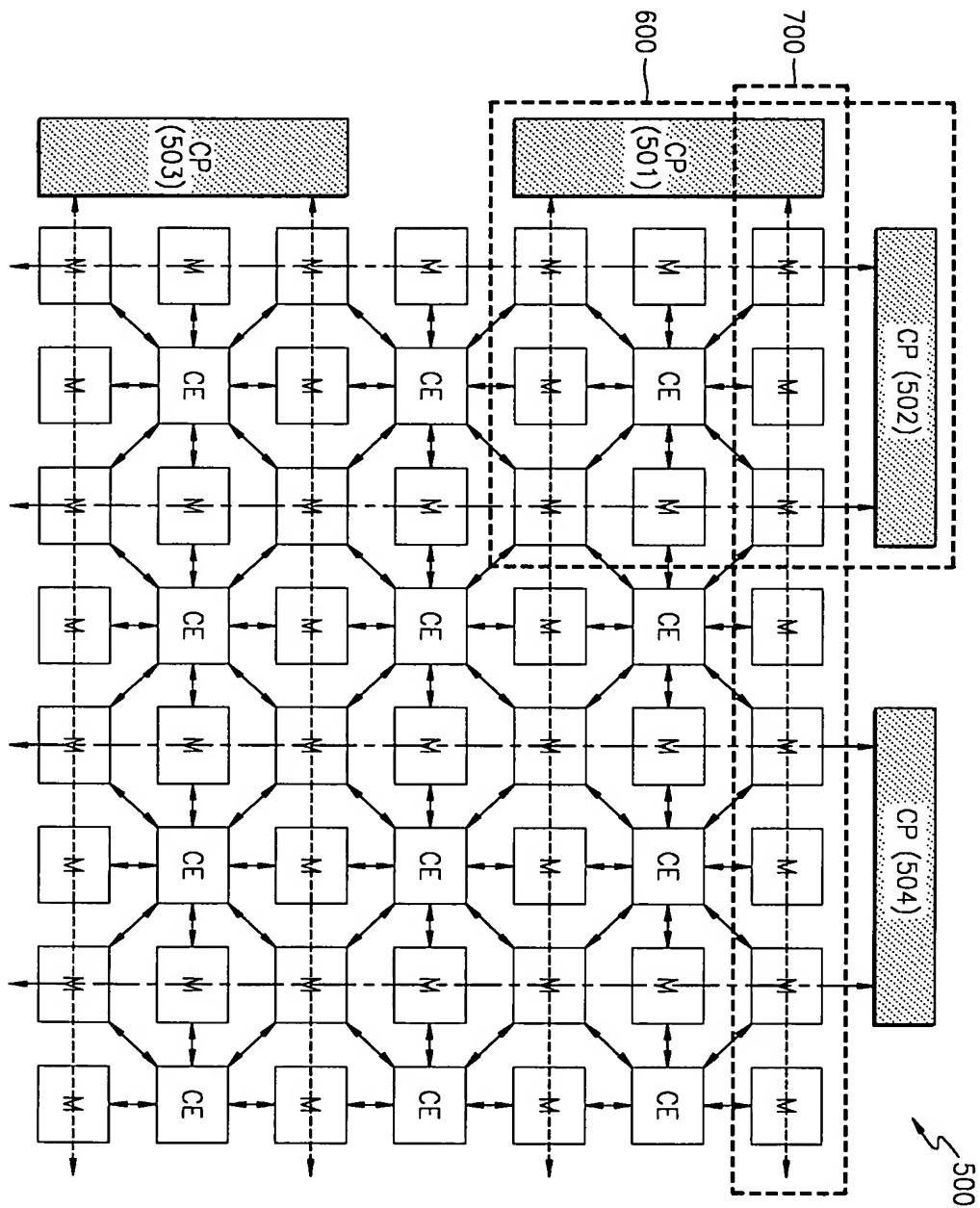
【도 1】



【도 2】



【도 3】

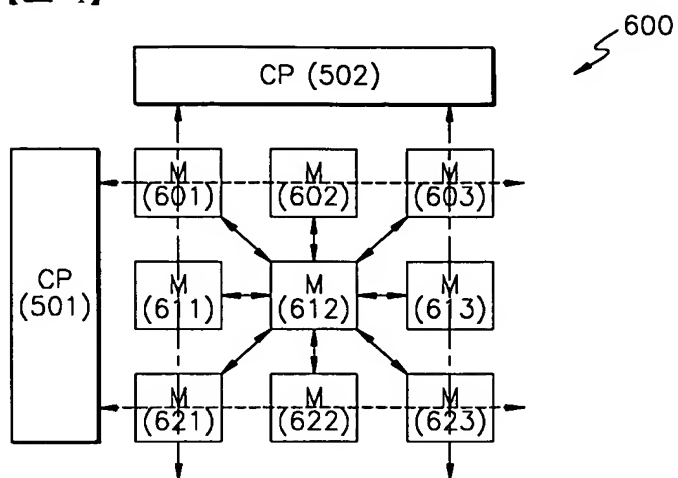




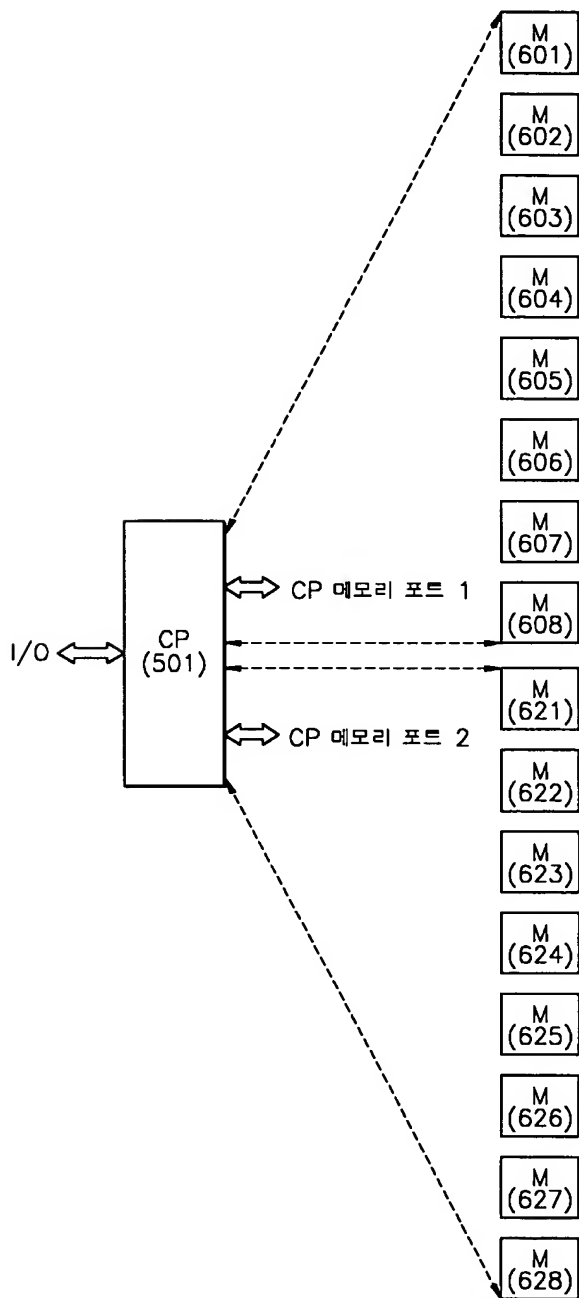
1020030058781

출력 일자: 2004/1/29

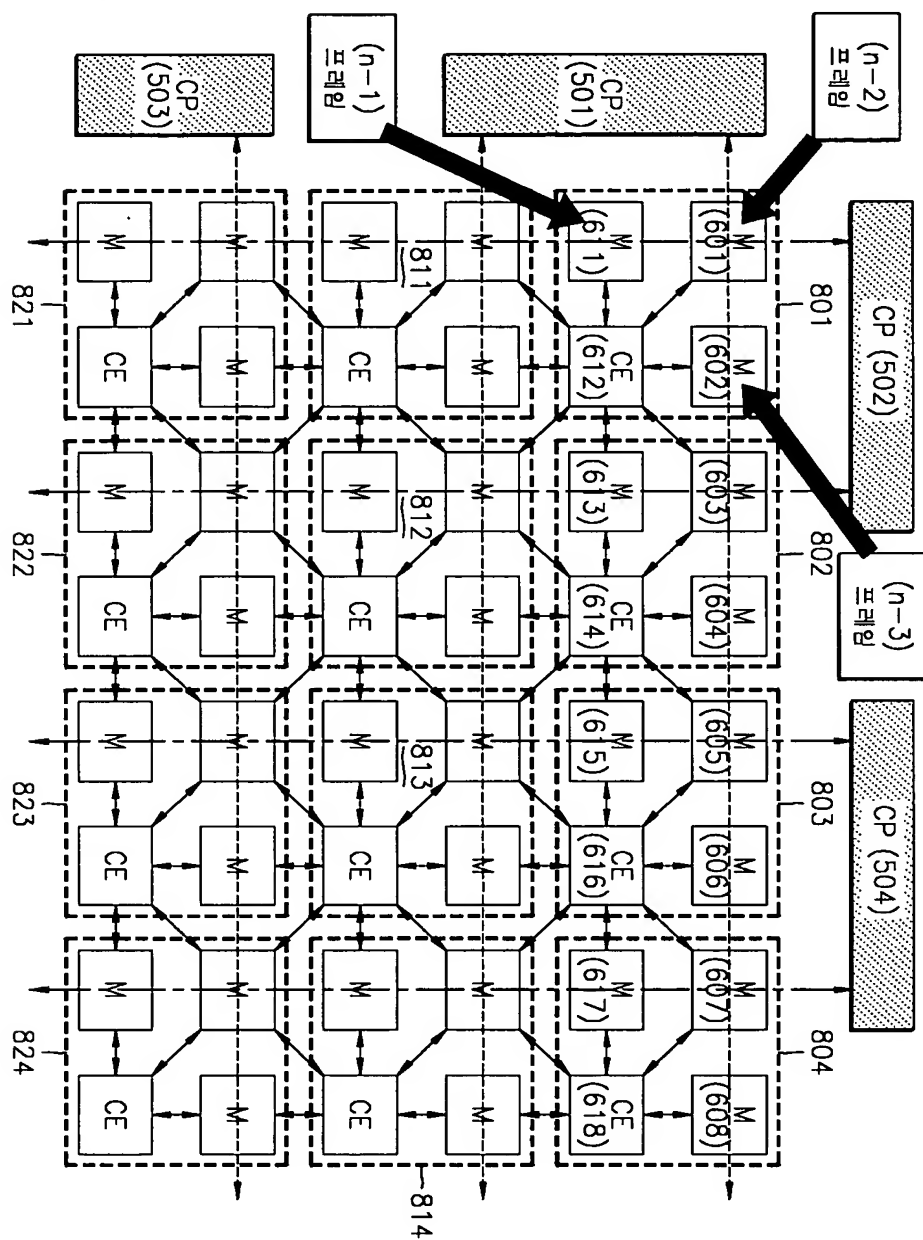
【도 4】



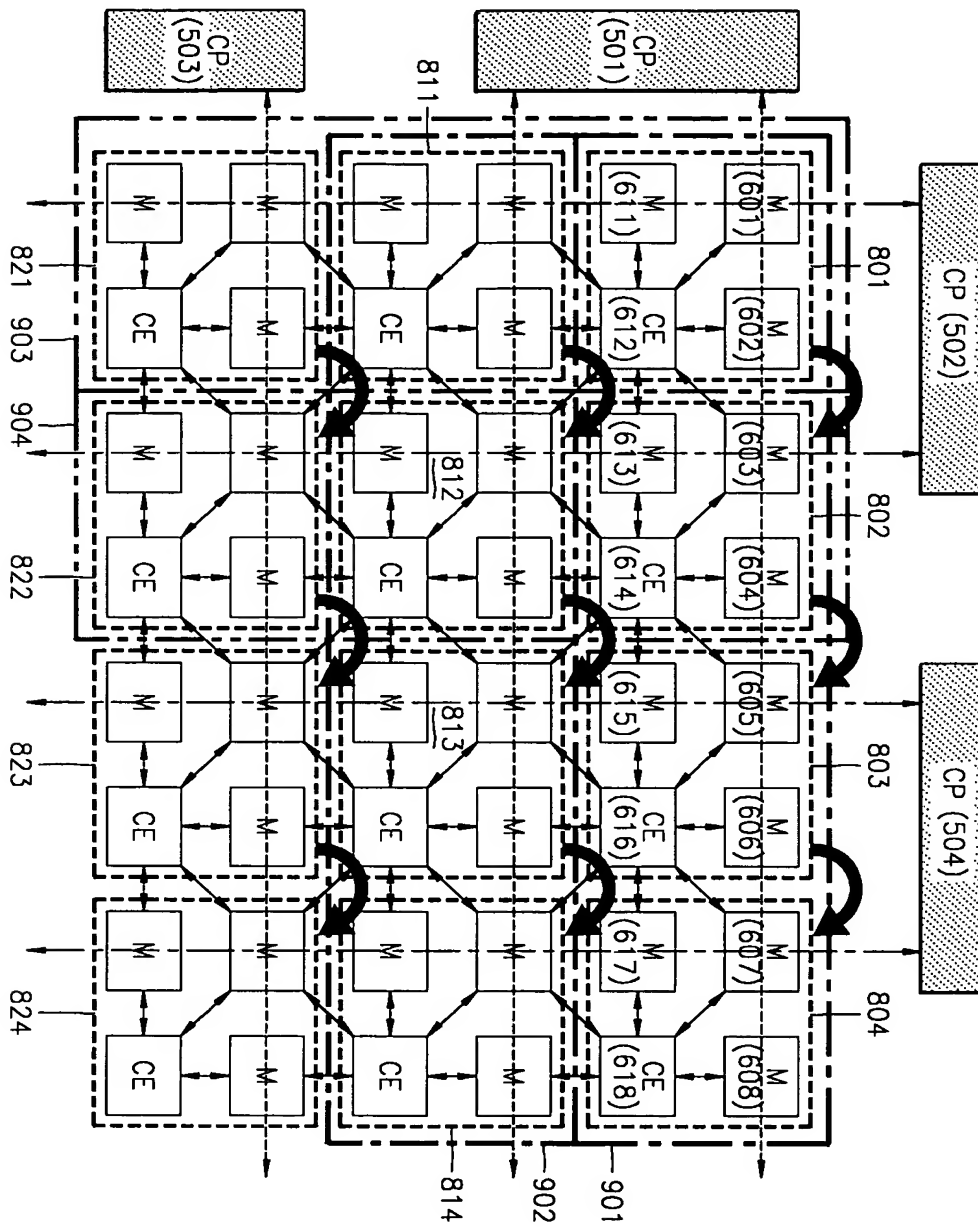
【도 5】



【도 6】



【도 7】



【도 8】

